

15.48/6066

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of
Yoshikazu KASUYA
Serial No.: 09/963,903
Filing Date: Sept. 26, 2001
For: METHODS FOR MANUFACTURING
SEMICONDUCTOR DEVICES AND
SEMICONDUCTOR DEVICES

Group Art Unit: 2811

Examiner: Nelson, Kathy

AUG. 6 2002
TECHNOLOGY CENTER 2800

TRANSMITTAL OF CERTIFIED COPY

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

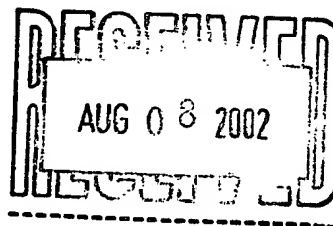
Enclosed is a certified copy of the priority document for U.S. Application Serial No. 09/963,168. This document is Japanese patent application no. 2000-292142, filed September 26, 2000. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Reynolds

Alan S. Raynes
Reg. No. 39,809
KONRAD RAYNES VICTOR & MANN, LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
Customer No. 24033
tele general: (310) 556-7983
tele direct: (310) 871-8448
facsimile: (310) 556-7984

Dated: July 22, 2002



Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 22, 2002.

Alan S. Raynes July 22, 2002
Alan S. Raynes (Date)



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月26日

出願番号

Application Number:

特願2000-292142

出願人

Applicant(s):

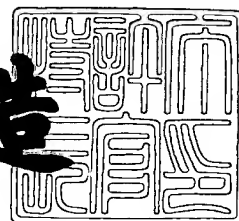
セイコーエプソン株式会社

RECEIVED
AUG. 6 2002
TECHNOLOGY CENTER 2800

2001年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3054787

【書類名】 特許願

【整理番号】 EP-0267701

【提出日】 平成12年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/336

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 糟谷 良和

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大渕 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

 【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項1】 以下の工程（a）～（k）を含む、半導体装置の製造方法。

- （a）半導体層の上に、ゲート絶縁層を形成する工程、
- （b）前記ゲート絶縁層の上に、所定のパターンを有する第1の導電層を形成する工程、
- （c）前記第1の導電層の側壁に、サイドウォール絶縁層を形成する工程、
- （d）前記半導体層内に、ソース領域およびドレイン領域を形成する工程、
- （e）前記第1の導電層と前記サイドウォール絶縁層とを覆う第1の絶縁層を堆積する工程であって、

前記第1の絶縁層は、前記サイドウォール絶縁層と異なる材質からなり、

- （f）前記第1の絶縁層を平坦化して、前記第1の導電層の上面を露出する工程、
- （g）少なくとも前記ゲート絶縁層が露出しないように、前記第1の導電層の一部を除去して、該第1の導電層の上方に凹部を形成する工程、
- （h）前記凹部に第2の導電層を部分的に充填することにより、少なくとも前記第1の導電層と前記第2の導電層とを含むゲート電極を形成する工程、
- （i）前記第2の導電層の上の凹部に、第2の絶縁層を形成する工程であって、前記第2の絶縁層は、前記第1の絶縁層と異なる材質からなり、
- （j）前記第1の絶縁層をエッチングして、前記ソース領域またはドレイン領域に達する第1のスルーホールを形成する工程、および
- （k）前記第1のスルーホール内に、第1のコンタクト層を形成する工程。

【請求項2】 請求項1において、

前記第2の絶縁層および前記サイドウォール絶縁層は、前記工程（j）において、前記第1の絶縁層に比べてエッチングされ難い材質からなる、半導体装置の製造方法。

【請求項3】 請求項1または2において、

前記第1の導電層は、シリコン層であり、

前記工程(h)は、前記第1の導電層の上に、前記第1の導電層をシリサイド化するための金属層を堆積する工程(h-1)、

前記第1の導電層をシリサイド化して、シリサイド層を形成する工程(h-2)を含む、半導体装置の製造方法。

【請求項4】 請求項1～3のいずれかにおいて、

さらに、前記第1の絶縁層および前記第2の絶縁層の上に、第3の絶縁層を形成する工程(1)、

前記第3の絶縁層をエッチングして、第2のスルーホールを形成する工程(m)、および

前記第2のスルーホール内に、第2のコンタクト層を形成する工程(n)、を含み、

前記第1のスルーホールは、前記第2のスルーホールに連続している、半導体装置の製造方法。

【請求項5】 請求項1～4のいずれかにおいて、

前記第2の絶縁層は、前記工程(j)において、前記第1の絶縁層のエッチングレートに対する前記第2の絶縁層のエッチングレートの比が、2以上である材質からなる、半導体装置の製造方法。

【請求項6】 請求項1～4のいずれかにおいて、

前記第1の絶縁層は、酸化シリコンからなり、

前記第2の絶縁層は、窒化シリコンからなる、半導体装置の製造方法。

【請求項7】 請求項1～6のいずれかにおいて、

前記サイドウォール絶縁層は、前記工程(j)において、前記第1の絶縁層のエッチングレートに対する前記サイドウォール絶縁層のエッチングレートの比が、2以上である材質からなる、半導体装置の製造方法。

【請求項8】 請求項1～6のいずれかにおいて、

前記第1の絶縁層は、酸化シリコンからなり、

前記サイドウォール絶縁層は、窒化シリコンからなる、半導体装置の製造方法。

【請求項 9】 電界効果型トランジスタを含む、半導体装置であって、

前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、ソース領域と、ドレイン領域とを有し、

前記ゲート電極の上に、第 2 の絶縁層が形成され、

前記ゲート電極の側壁に、サイドウォール絶縁層が形成され、

前記サイドウォール絶縁層の側方において、第 1 の絶縁層が形成され、

前記ゲート電極は、第 1 の導電層と、第 2 の導電層とを含み、

前記第 1 の導電層は、前記ゲート絶縁層の上に形成され、

前記第 2 の導電層は、前記第 1 の導電層の上方に形成され、

前記第 1 の絶縁層において、ソース領域またはドレイン領域に達する第 1 のスルーホールが形成され、

前記第 1 のスルーホール内に、第 1 のコンタクト層が形成され、

前記サイドウォール絶縁層は、前記ゲート電極の側壁に形成され、

前記ゲート絶縁層の上面を基準に前記第 1 の導電層の厚みを比較した場合、該第 1 の導電層の厚みは、中央部から側壁方向に向かうにしたがって大きい、半導体装置。

【請求項 10】 電界効果型トランジスタを含む、半導体装置であって、

前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、ソース領域と、ドレイン領域とを有し、

前記ゲート電極の上に、第 2 の絶縁層が形成され、

前記ゲート電極の側壁に、サイドウォール絶縁層が形成され、

前記サイドウォール絶縁層の側方において、第 1 の絶縁層が形成され、

前記ゲート電極は、第 1 の導電層と、第 2 の導電層とを含み、

前記第 1 の導電層は、前記ゲート絶縁層の上に形成され、

前記第 2 の導電層は、前記第 1 の導電層の上方に形成され、

前記第 1 の絶縁層において、ソース領域またはドレイン領域に達する第 1 のスルーホールが形成され、

前記第 1 のスルーホール内に、第 1 のコンタクト層が形成され、

前記ゲート絶縁層の上面を基準に前記第 1 の導電層の厚みを比較した場合、該

第 1 の導電層の側壁部における厚みは、中央部における厚みに比べ大きい、半導体装置。

【請求項 1 1】 請求項 9 または 1 0 において、

前記ゲート絶縁層の上面を基準に前記第 2 の導電層の上面の高さを比較した場合、該第 1 の導電層の上面の高さは、中央部から側壁方向に向かうにしたがって高くなる、半導体装置。

【請求項 1 2】 請求項 9 ～ 1 1 のいずれかにおいて、

前記ゲート絶縁層の上面を基準に前記第 2 の導電層の上面の高さを比較した場合、該第 2 の導電層の側壁部における上面の高さは、中央部における上面の高さに比べ高い、半導体装置。

【請求項 1 3】 請求項 9 ～ 1 2 のいずれかにおいて、

前記第 2 の導電層は、金属、金属合金および金属化合物のいずれか一つからなる、半導体装置。

【請求項 1 4】 請求項 9 ～ 1 2 のいずれかにおいて、

前記第 1 の導電層は、シリコン層であり、

前記第 2 の導電層は、シリサイド層である、半導体装置。

【請求項 1 5】 請求項 9 ～ 1 4 のいずれかにおいて、

前記第 1 の絶縁層および前記第 2 の絶縁層の上に、第 3 の絶縁層が形成され、前記第 3 の絶縁層において、前記第 1 のスルーホールに連続する第 2 のスルーホールが形成され、

前記第 2 のスルーホール内に、第 2 のコンタクト層が形成されている、半導体装置。

【請求項 1 6】 請求項 9 ～ 1 5 のいずれかにおいて、

前記第 1 の絶縁層は、酸化シリコンからなり、

前記第 2 の絶縁層は、窒化シリコンからなる、半導体装置。

【請求項 1 7】 請求項 9 ～ 1 6 のいずれかにおいて、

前記第 1 の絶縁層は、酸化シリコンからなり、

前記サイドウォール絶縁層は、窒化シリコンからなる、半導体装置。

【請求項 1 8】 請求項 9 ～ 1 7 のいずれかにおいて、

前記第1の絶縁層の上面と、前記第2の絶縁層の上面とは、実質的にほぼ同一のレベルにある、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタを有する半導体装置およびその製造方法に関し、特に、ゲート電極が2つ以上の層から構成される半導体装置およびその製造方法に関する。

【0002】

【背景技術】

現在、図14(b)に示すようなMOSトランジスタ300のゲート電極230を、いわゆるダマシン法により形成する技術がある。以下、ゲート電極230をダマシン法により形成する技術を適用した、MOSトランジスタ300の製造方法の一例を説明する。

【0003】

図13(a)に示すように、シリコン基板210の上に、ゲート絶縁層220およびダミー電極232を形成する。次に、ダミー電極232をパターニングする。次に、ダミー電極232のサイドにおけるシリコン基板210において、低濃度不純物拡散層242を形成する。次に、全面に絶縁層(図示せず)を形成し、その絶縁層およびゲート絶縁層220をRIEエッチングして、ダミー電極232の側壁に、サイドウォールスペーサ250を形成する。次に、サイドウォールスペーサ250のサイドのシリコン基板210において、高濃度不純物拡散層244を形成する。

【0004】

次に、図13(b)に示すように、シリコン基板210の上に、絶縁層260を形成し、その絶縁層260を平坦化してダミー電極232を露出させる。

【0005】

次に、図14(a)に示すように、ダミー電極232の全部を除去して、貫通孔270を形成する。

【0006】

次に、図14(b)に示すように、貫通孔270を充填するように金属層を形成し、金属層をエッチバックして、ゲート電極230を形成する。

【0007】

ゲート電極をダマシン法により形成する技術が開示された文献として、米国特許第5,960,270号、米国特許第5,391,510号、米国特許第5,434,093号が挙げられる。

【0008】

【発明が解決しようとする課題】

本発明の目的は、電気的特性の劣化が抑えられた、半導体装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

(半導体装置の製造方法)

本発明の半導体装置の製造方法は、以下の工程(a)～(k)を含む。

- (a) 半導体層の上に、ゲート絶縁層を形成する工程、
- (b) 前記ゲート絶縁層の上に、所定のパターンを有する第1の導電層を形成する工程、
- (c) 前記第1の導電層の側壁に、サイドウォール絶縁層を形成する工程、
- (d) 前記半導体層内に、ソース領域およびドレイン領域を形成する工程、
- (e) 前記第1の導電層と前記サイドウォール絶縁層とを覆う第1の絶縁層を堆積する工程であって、
前記第1の絶縁層は、前記サイドウォール絶縁層と異なる材質からなり、
- (f) 前記第1の絶縁層を平坦化して、前記第1の導電層の上面を露出する工程、
- (g) 少なくとも前記ゲート絶縁層が露出しないように、前記第1の導電層の一部を除去して、該第1の導電層の上方に凹部を形成する工程、
- (h) 前記凹部に第2の導電層を部分的に充填することにより、少なくとも前記第1の導電層と前記第2の導電層とを含むゲート電極を形成する工程、

(i) 前記第 2 の導電層の上の凹部に、第 2 の絶縁層を形成する工程であって、
前記第 2 の絶縁層は、前記第 1 の絶縁層と異なる材質からなり、

(j) 前記第 1 の絶縁層をエッチングして、前記ソース領域またはドレイン領域
に達する第 1 のスルーホールを形成する工程、および

(k) 前記第 1 のスルーホール内に、第 1 のコンタクト層を形成する工程。

【0010】

本発明においては、工程 (g) において、ゲート絶縁層が露出することがない。
その結果、ゲート絶縁層の劣化を抑えることができる。

【0011】

また、本発明においては、工程 (h) で、第 1 の導電層の上に第 2 の導電層が
形成されることとなる。このため、第 2 の導電層は、第 1 の絶縁層を形成した後
に形成されるため、第 2 の導電層の形成は、ソース／ドレイン領域の後において
行われる。その結果、ソース／ドレイン領域を形成するために設けられたレジス
ト層を除去する際に生じる悪影響が、第 2 の導電層に及ぶことを防ぐことができ
る。したがって、第 2 の導電層の特性劣化を抑えることができる。また、本発明
によれば、第 2 の導電層と相性が悪い薬剤であっても、レジスト層を確実に除去
することができる薬剤を選択することができる。以上のことから、本発明によれ
ば、電気的特性の劣化が抑えられた半導体装置を形成することができる。

【0012】

また、本発明においては、第 2 の導電層の上に第 2 の絶縁層が形成され、第 1
の導電層および第 2 の導電層の側方においてサイドウォール絶縁層が形成されて
いる。第 2 の絶縁層およびサイドウォール絶縁層は、第 1 の絶縁層と異なる材質
からなる。このため、工程 (j) において、第 2 の絶縁層およびサイドウォール
絶縁層をストッパ層として機能させることができるため、第 1 のスルーホールを
第 1 および第 2 の導電層に対して、自己整合的に形成することができる。すなわ
ち、自己整合コンタクト (Self-Aligned-Contact) が達成される。

【0013】

前記第 2 の絶縁層および前記サイドウォール絶縁層は、前記工程 (j) におい
て、前記第 1 の絶縁層に比べてエッチングされ難い材質からなることが好ましい

。これにより、工程（j）において、第2の絶縁層およびサイドウォール絶縁層をより確実にストッパ層として機能させることができる。

【0014】

また、本発明においては、前記第1の導電層がシリコン層である場合には、前記工程（h）は、前記第1の導電層の上に、前記第1の導電層をシリサイド化するための金属層を堆積する工程（h-1）、

前記第1の導電層をシリサイド化して、シリサイド層を形成する工程（h-2）を含むことができる。

【0015】

これによれば、第1の導電層をシリサイド化できると同時に、自己整合コンタクトを行うことができることができる。

【0016】

また、本発明は、さらに、前記第1の絶縁層および前記第2の絶縁層の上に、第3の絶縁層を形成する工程（l）、

前記第3の絶縁層をエッチングして、第2のスルーホールを形成する工程（m）、および

前記第2のスルーホール内に、第2のコンタクト層を形成する工程（n）、を含み、

前記第1のスルーホールは、前記第2のスルーホールに連続していることができる。

【0017】

前記第2の絶縁層は、前記工程（j）において、前記第1の絶縁層のエッチングレートに対する前記第2の絶縁層のエッチングレートの比（第2の絶縁層のエッチングレート／第1の絶縁層のエッチングレート）が、2以上である材質からなることが好ましい。具体的には、前記第1の絶縁層が酸化シリコンからなる場合には、前記第2の絶縁層は、窒化シリコンからなることができる。

【0018】

また、前記サイドウォール絶縁層は、前記工程（j）において、前記第1の絶縁層のエッチングレートに対する前記サイドウォール絶縁層のエッチングレート

の比が、2以上である材質からなることが好ましい。具体的には、前記第1の絶縁層は、酸化シリコンからなる場合には、前記第2の絶縁層は、窒化シリコンからなることができる。

【0019】

(半導体装置)

(A) 本発明の第1の半導体装置は、電界効果型トランジスタを含み、
前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、ソース領域と、ドレイン領域とを有し、

前記ゲート電極の上に、第2の絶縁層が形成され、
前記ゲート電極の側壁に、サイドウォール絶縁層が形成され、
前記サイドウォール絶縁層の側方において、第1の絶縁層が形成され、
前記ゲート電極は、第1の導電層と、第2の導電層とを含み、
前記第1の導電層は、前記ゲート絶縁層の上に形成され、
前記第2の導電層は、前記第1の導電層の上方に形成され、
前記第1の絶縁層において、ソース領域またはドレイン領域に達する第1のスルーホールが形成され、

前記第1のスルーホール内に、第1のコンタクト層が形成され、
前記サイドウォール絶縁層は、前記ゲート電極の側壁に形成され、
前記ゲート絶縁層の上面を基準に前記第1の導電層の厚みを比較した場合、該第1の導電層の厚みは、中央部から側壁方向に向かうにしたがって大きい。

【0020】

(B) 本発明の第2の半導体装置は、電界効果型トランジスタを含み、
前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、ソース領域と、ドレイン領域とを有し、

前記ゲート電極の上に、第2の絶縁層が形成され、
前記ゲート電極の側壁に、サイドウォール絶縁層が形成され、
前記サイドウォール絶縁層の側方において、第1の絶縁層が形成され、
前記ゲート電極は、第1の導電層と、第2の導電層とを含み、
前記第1の導電層は、前記ゲート絶縁層の上に形成され、

前記第 2 の導電層は、前記第 1 の導電層の上方に形成され、

前記第 1 の絶縁層において、ソース領域またはドレイン領域に達する第 1 のスルーホールが形成され、

前記第 1 のスルーホール内に、第 1 のコンタクト層が形成され、

前記ゲート絶縁層の上面を基準に前記第 1 の導電層の厚みを比較した場合、該第 1 の導電層の側壁部における厚みは、中央部における厚みに比べ大きい。

【 0 0 2 1 】

本発明の第 1 および第 2 の半導体装置は、次の、少なくともいずれかの態様をとることができる。

【 0 0 2 2 】

(1) 前記ゲート絶縁層の上面を基準に前記第 2 の導電層の上面の高さを比較した場合、該第 1 の導電層の上面の高さは、中央部から側壁方向に向かうにしたがって高くなる。

【 0 0 2 3 】

(2) 前記ゲート絶縁層の上面を基準に前記第 2 の導電層の上面の高さを比較した場合、該第 2 の導電層の側壁部における上面の高さは、中央部における上面の高さに比べ高い態様である。

【 0 0 2 4 】

(3) 前記第 2 の導電層は、金属、金属合金および金属化合物のいずれか一つからなる態様である。

【 0 0 2 5 】

(4) 前記第 1 の導電層は、シリコン層であり、前記第 2 の導電層は、シリサイド層である態様である。

【 0 0 2 6 】

(5) 前記第 1 の絶縁層および前記第 2 の絶縁層の上に、第 3 の絶縁層が形成され、

前記第 3 の絶縁層において、前記第 1 のスルーホールに連続する第 2 のスルーホールが形成され、

前記第 2 のスルーホール内に、第 2 のコンタクト層が形成されている態様であ

る。

【 0 0 2 7 】

(6) 前記第 1 の絶縁層は、酸化シリコンからなり、前記第 2 の絶縁層は、窒化シリコンからなる態様である。

【 0 0 2 8 】

(7) 前記第 1 の絶縁層は、酸化シリコンからなり、前記サイドウォール絶縁層は、窒化シリコンからなる態様である。

【 0 0 2 9 】

(8) 前記第 1 の絶縁層の上面と、前記第 2 の絶縁層の上面とは、実質的にほぼ同一のレベルにある態様である。ここで、「実質的にほぼ同一のレベル」とは、ゲート絶縁層の上面を基準として、ほぼ同じ高さにあることをいう。

【 0 0 3 0 】

上記において「半導体層」には、半導体基板、基板の上に形成された半導体層が含まれる。

【 0 0 3 1 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

【 0 0 3 2 】

(半導体装置)

以下、実施の形態に係る半導体装置を説明する。図 1 は、実施の形態に係る半導体装置を模式的に示す断面図である。半導体装置 1 0 0 は、具体的には、次の構成を有する。

【 0 0 3 3 】

シリコン基板 1 0 の上には、ゲート絶縁層 2 0 が形成されている。ゲート絶縁層の上には、ゲート電極 3 0 が形成されている。ゲート電極 3 0 は、ゲート絶縁層 2 0 の上に、ポリシリコン層（第 1 の導電層） 3 2 および金属層（第 2 の導電層） 3 4 が順次積層されて構成されている。ゲート電極 3 0 の両サイドには、サイドウォール絶縁層 6 2 が形成されている。

【 0 0 3 4 】

ここで、ポリシリコン層 3 2 の断面形状について説明する。ポリシリコン層 3 2 は、その側端部 E 1 0 の上部において、突出部 3 2 a を有する。具体的には、側端部 E 1 0 におけるポリシリコン層 3 2 の上面のレベルは、ポリシリコン層 3 2 の中央部における上面のレベル L 1 0 に比べ、上方に突出している。すなわち、ゲート絶縁層 2 0 の上面を基準とした場合のポリシリコン層 3 2 の厚みは一樣ではなく、中央部から側壁方向（サイドウォールスペース 5 0 側）に向かうにしたがって大きくなる。このように、側端部 E 1 0 に形成された突出部 3 2 a により、ポリシリコン層 3 2 の側端部はテーパ形状を有することとなる。

【 0 0 3 5 】

次に、金属層 3 4 の断面形状について説明する。金属層 3 4 もその側端部の上部において、ポリシリコン層 3 2 と同様に、突出部 3 4 a を有する。具体的には、側端部 E 2 0 における金属層 3 4 の上面のレベルは、金属層 3 4 の中央部における上面のレベル L 2 0 に比べ、上方に突出している。すなわち、ゲート絶縁層 2 0 の上面を基準とした場合のポリシリコン層 3 2 の上面の高さは一樣ではなく、中央部から側壁方向（サイドウォールスペース 5 0 側）に向かうにしたがって高くなる。このように、側端部 E 2 0 に形成された突出部 3 4 a により、金属層 3 4 の側端部はテーパ形状を有することとなる。

【 0 0 3 6 】

ゲート電極 3 0 の側方におけるシリコン基板 1 0 内にソース／ドレイン領域 4 0 が形成されている。ソース／ドレイン領域 4 0 は、低濃度不純物拡散層 4 2 と高濃度不純物拡散層 4 4 とを有する。低濃度不純物拡散層 4 2 は、高濃度不純物拡散層 4 4 を包むようにして形成され、いわゆる二重ドレイン構造（double diffused drain）を有している。但し、これに限定されず、ソース／ドレイン領域 4 0 は、LDD（lightly doped drain）構造を有していてもよい。

【 0 0 3 7 】

ゲート電極 3 0 の上には、第 2 の絶縁層 6 0 が形成されている。ゲート電極 3 0 および第 2 の絶縁層 6 0 の両サイドには、サイドウォール絶縁層 6 2 が形成されている。ゲート電極 3 0 の側方において、サイドウォール絶縁層 6 2 を介して、第 1 の絶縁層 5 0 が形成されている。第 1 の絶縁層 5 0 の上面と第 2 の絶縁層

60の上面とは、ゲート絶縁層20の上面を基準にして、実質的にほぼ同一のレベル（高さ）にある。

【0038】

第1の絶縁層50および第2の絶縁層60の上には、第3の絶縁層70が形成されている。第1の絶縁層50において第1のスルーホール90aが形成され、第3の絶縁層70において第2のスルーホール90bが形成されている。第1のスルーホール90aは、第2のスルーホール90bに連続している。第1および第2のスルーホール90a、90bのそれぞれにおいて、第1および第2のコンタクト層92a、92bが形成されている。第2のコンタクト層92bおよび第3の絶縁層70の上には、配線層94が形成されている。

【0039】

（半導体装置の製造方法）

以下、実施の形態に係る半導体装置の製造方法について説明する。図2～図7は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【0040】

まず、図2（a）に示すように、シリコン基板10の上に、ゲート絶縁層20およびポリシリコン層（第1の導電層）32の積層体を形成する。この積層体は、シリコン基板10の上にゲート絶縁層およびポリシリコン層を堆積して、ポリシリコン層をパターニングすることにより形成される。ポリシリコン層32の厚さは、たとえば100～1000nmである。

【0041】

次に、シリコン基板10の上に、所定のパターンを有するレジスト層（図示せず）を形成する。次に、レジスト層をマスクとして、シリコン基板10内に、不純物をイオン注入して、低濃度不純物拡散層42を形成する。この後、酸性の薬品によりレジスト層を除去する。

【0042】

次に、図2（b）に示すように、公知の方法により、ポリシリコン層32の両サイドにおいて、サイドウォール絶縁層62を形成する。サイドウォール絶縁層62は、後述の第1の絶縁層50のエッチングにおいて、第1の絶縁層50より

エッチングされ難い材質からなる。具体的には、サイドウォール絶縁層62は、後述の第1の絶縁層50のエッチングにおいて、第1の絶縁層のエッチングレートに対するサイドウォール絶縁層のエッチングレート（サイドウォール絶縁層のエッチングレート／第1の絶縁層のエッチングレート）が好ましくは2以上、より好ましくは5以上の材質からなる。より具体的には、第1の絶縁層が酸化シリコンからなる場合には、サイドウォール絶縁層は、窒化シリコンからなることができる。

【0043】

次に、シリコン基板10の上に、所定のパターンを有するレジスト層（図示せず）を形成する。次に、レジスト層をマスクとして、シリコン基板10内に不純物をイオン注入して、高濃度不純物拡散層44を形成する。この後、酸性の薬品によりレジスト層を除去する。こうして、ソース／ドレイン領域40が形成される。

【0044】

次に、図3（a）に示すように、シリコン基板10の上に、ポリシリコン層32とサイドウォール絶縁層50を覆うように第1の絶縁層50を形成する。第1の絶縁層50は、たとえばCVD法により形成することができる。第1の絶縁層50の材質としては、酸化シリコンを挙げることができる。第1の絶縁層50の厚さは、第1の絶縁層50の形成時のポリシリコン層32の厚さを考慮して規定され、たとえば150～1500nmである。

【0045】

次に、図3（b）に示すように、第1の絶縁層50を平坦化する。第1の絶縁層50の平坦化は、ポリシリコン層32の上面が露出するまで行われる。第1の絶縁層50の平坦化は、たとえば化学的機械的研磨法により行うことができる。

【0046】

次に、図4（a）に示すように、ゲート絶縁層20が露出しないように、ポリシリコン層32の一部をエッチングする。これにより、ポリシリコン層32の上において、第1の凹部80が形成される。除去されるポリシリコン層32の厚さは、所望とするゲート電極の特性を考慮して規定され、たとえば50～950nm

m、好ましくは50～800nmである。このエッチングは、たとえば、反応性イオンエッチングにより行うことができる。このエッチングにおいて、図4(a)に示すように、ポリシリコン層32の側端部E10の上部において、突出部32aが形成されることとなる。突出部32aが形成される理由は、ポリシリコン層32の側端部E10は、ポリシリコン層32の中央部よりもエッチングされ難いためである。

【0047】

また、このエッチングにおいて、ポリシリコン層32はすべて除去されるのではなく、所定の厚さだけ部分的に除去されている。その結果、ポリシリコン層32のエッチングにおいて、ゲート絶縁層20が露出することはない。したがって、ポリシリコン層32のエッチングにおいて、ゲート絶縁層20がダメージを受けるのを防ぐことができる。

【0048】

次に、図4(b)に示すように、全面に金属層34を堆積し、第1の凹部80を充填する。このとき、ポリシリコン層32において、突出部32aが形成されていることにより、第1の凹部80の隅部80aに金属層34を堆積するのが容易となる。この理由は、側端部E10に形成された突出部32aにより、ポリシリコン層32がテーパ形状を有することとなり、結果としてステップカバレッジの向上が図られるためである。金属層34の材質としては、たとえばタングステン、アルミニウム、銅、アルミニウムと銅との合金、シリコンと金属との化合物を挙げることができる。シリコンと金属との化合物としては、たとえばチタンシリサイド、タングステンシリサイド、コバルトシリサイド、モリブデンシリサイドを挙げることができる。金属層34は、たとえばCVD法により形成することができる。

【0049】

次に、図5(a)に示すように、第1の凹部80内にのみに金属層34が残るように、金属層34を平坦化する。金属層34の平坦化は、たとえば化学的機械的研磨法により行うことができる。

【0050】

次に、図 5 (b) に示すように、金属層 3 4 の一部をエッチングして、第 2 の凹部 8 2 を形成する。ここで、第 2 の凹部 8 2 が形成されることにより、結果として、第 1 の凹部 8 0 に金属層 3 4 を部分的に充填したことになる。除去される金属層 3 4 の厚さは、所望とする第 2 の絶縁層 6 0 の厚さを考慮して規定される。すなわち、除去される金属層 3 4 の厚さは、第 2 の絶縁層 6 0 がストッパ層として機能できる程度であれば特に限定されず、たとえば 1 0 ~ 5 0 n m である。このエッチングは、たとえば、反応性イオンエッチングにより行うことができる。このエッチングにおいて、金属層の側端部 E 2 0 の上部において、突出部 3 4 a が形成されることとなる。突出部 3 4 a が形成される理由は、金属層 3 4 の側端部 E 2 0 は、金属層 3 4 の中央部よりもエッチングされ難いためである。

【 0 0 5 1 】

次に、図 6 (a) に示すように、全面に第 2 の絶縁層 6 0 を堆積し、第 2 の凹部 8 2 を充填する。このとき、金属層 3 4 において、突出部 3 4 a が形成されていることにより、第 2 の凹部 8 2 の隅部 8 2 a に第 2 の絶縁層 6 0 を堆積するのが容易となる。この理由は、側端部 E 1 0 に形成された突出部 3 4 a により、金属層 3 4 がテーパ形状を有することとなり、結果としてステップカバレッジの向上が図られるためである。第 2 の絶縁層 6 0 は、たとえば C V D 法により形成されることができる。第 2 の絶縁層 6 0 は、後述の第 1 の絶縁層 5 0 のエッチングにおいて、第 1 の絶縁層 5 0 よりエッチングされ難い材質からなる。具体的には、第 2 の絶縁層 6 0 は、後述の第 1 の絶縁層 5 0 のエッチングにおいて、第 1 の絶縁層 5 0 のエッチングレートに対する第 2 の絶縁層 6 0 のエッチングレート（第 2 の絶縁層のエッチングレート／第 1 の絶縁層のエッチングレート）が好ましくは 2 以上、より好ましくは 5 以上の材質からなる。より具体的には、第 1 の絶縁層が酸化シリコンからなる場合には、サイドウォール絶縁層は、窒化シリコンからなることができる。

【 0 0 5 2 】

次に、図 6 (b) に示すように、第 2 の絶縁層 6 0 を平坦化することにより、第 2 の凹部 8 2 内にのみに第 2 の絶縁層 6 0 を残す。この平坦化は、化学的機械的研磨法により行うことができる。

【0053】

次に、図7(a)に示すように、第1の絶縁層50および第2の絶縁層60の上に、公知の方法により、第3の絶縁層70が形成される。第3の絶縁層70は、酸化シリコンからなることができる。

【0054】

次に、図7(b)に示すように、第3の絶縁層70の上に、レジスト層R1を形成する。レジスト層R1は、第2のスルーホール90bの形成予定領域の上方において、開口されている。次に、レジスト層R1をマスクとして、第3の絶縁層70および第1の絶縁層50をエッチングして、第1および第2のスルーホール92a, 92bを形成する。ここで、第2の絶縁層60およびサイドウォール絶縁層62は、ストッパ層として機能する。このため、ゲート電極30は露出しない。次に、レジスト層R1を除去する。

【0055】

次に、図1に示すように、公知の方法により、第1および第2のスルーホール90a, 90bのそれぞれを充填する第1および第2のコンタクト層92a, 92bを形成する。次に、第2のコンタクト層92bおよび第3の絶縁層70の上に、所定のパターンを有する配線層94を形成する。こうして、半導体装置100が形成される。

【0056】

以下、実施の形態に係る作用効果を説明する。

【0057】

(1) 本実施の形態においては、ゲート電極30は、第2の絶縁層60とサイドウォール絶縁層62とで覆われている。このため、第1の絶縁層50をエッチングしてスルーホール90a, 90bを形成する際、ゲート電極30は露出しない。したがって、第1のスルーホール90aをゲート電極30に対して、自己整合的に形成することができる。すなわち、自己整合コンタクト (Self-Aligned-Contact) が可能となる。以下、「自己整合コンタクト」を「SAC」という。

【0058】

(2) 本実施の形態においては、金属層34は、ソース/ドレイン領域40を

形成した後に形成されている。その結果、ソース/ドレイン領域40を形成するために設けられたレジスト層を除去する際、酸性の薬品（たとえば硫酸）を使用することができる。

【0059】

(3) 本実施の形態においては、ポリシリコン層32をエッチングして凹部を形成する工程が含まれている。この工程において、ポリシリコン層32はすべて除去されるのではなく、所定の厚さだけ部分的に除去されている。その結果、ポリシリコン層32のエッチングにおいて、ゲート絶縁層20が露出することはない。したがって、ポリシリコン層32のエッチングにおいて、ゲート絶縁層20がダメージを受けるのを防ぐことができる。

【0060】

(4) 本実施の形態においては、ゲート電極30においてゲート絶縁層20と接するようにポリシリコン層32が形成されている。その結果、ゲート電極30がポリシリコンからなる場合の種々のプロセス技術を適用することができる。なお、ポリシリコン層32をすべて除去して、ゲート電極を金属層のみから構成させた場合には、ゲート電極がシリコンからなる場合に比べて、ゲート電極とシリコン基板との仕事関数差が大きくなる。その結果、ゲート電極を金属層のみから構成させた場合には、ゲート電極がポリシリコンからなる場合の種々のプロセス技術を適用し難い。

【0061】

(5) たとえば次のようにして、ゲート電極がポリシリコン層と金属層との積層構造を有する、MOSトランジスタを形成することが考えられる。

【0062】

まず、図9に示すように、シリコン基板10の上に、ゲート絶縁層120、ポリシリコン層132および金属層134を順次堆積する。次に、金属層134の上に、レジスト層R1を形成する。次に、レジスト層R1をマスクとして、金属層134およびポリシリコン層132をエッチングし、ゲート電極130を形成する。次に、レジスト層R1を除去する。

【0063】

次に、図10に示すように、シリコン基板10の上に、所定のパターンを有するレジスト層R2を形成する。次に、レジスト層R2をマスクとして、シリコン基板10内に不純物をイオン注入して、低濃度不純物拡散層142を形成する。次に、レジスト層R2を除去する。

【0064】

次に、図11に示すように、ゲート電極130の側壁に、サイドウォールスペーサ150を形成する。次に、シリコン基板10の上に、所定のパターンを有するレジスト層（図示せず）を形成する。次に、レジスト層をマスクとして、シリコン基板内に不純物をイオン注入して、高濃度不純物拡散層144を形成する。次に、レジスト層を除去する。こうして、MOSトランジスタ200が形成される。

【0065】

ところで、上記のレジスト層（ゲート電極を形成するためのレジスト層R1、不純物拡散層を形成するためのレジスト層R2）の除去は、酸性の薬品（たとえば硫酸）によりなされることが好ましい。しかし、レジスト層の除去に酸性の薬品を適用した場合には、金属層134が酸性の薬品に晒されるために、金属層134が腐食される。金属層134が腐食されると、半導体装置の電気的特性が劣化する。このため、ゲート電極130に金属層134を含む場合には、酸性の薬品を使用することは難しい。一方、酸性の薬品以外の薬品を使用することが考えられるが、そのような薬品ではレジスト層を確実に除去することが難しい。

【0066】

しかし、本実施の形態においては、金属層34は、ソース/ドレイン領域40を形成した後に形成されている。その結果、ソース/ドレイン領域40を形成するために設けられたレジスト層を除去する際、酸性の薬品（たとえば硫酸）を使用することができる。

【0067】

（変形例）

上記の実施の形態は、たとえば次の変形が可能である。

【0068】

(1) 上記の実施の形態においては、ゲート電極30は、ポリシリコン層32と金属層34とが順次積層されて構成されていた。しかし、ゲート電極30は、ポリシリコン層とシリサイド層とを順次積層して構成させてもよい。つまり、金属層をシリサイド層に変更することもできる。

【0069】

シリサイド層は、たとえば次のようにして形成することができる。

【0070】

まず、図8(a)に示すように、全面に、シリサイド化のための金属層36を形成する。この金属層の厚さは、たとえば5～50nmである。金属層36は、たとえばCVD法、スパッタ法により形成することができる。金属層36の材質は、たとえばチタン、コバルト、ニッケルである。

【0071】

次に、図8(b)に示すように、熱処理をして、ポリシリコン層32をシリサイド化する。熱処理の温度は、たとえば500～900℃である。熱処理は、たとえばランプアニールにより行うことができる。熱処理の時間は、熱処理の温度を考慮して規定され、たとえば10～60秒である。

【0072】

次に、未反応の金属層36を除去する。こうして、ポリシリコン層32の上に、シリサイド層38を形成することができる。

【0073】

この変形例によれば、次の作用効果を奏することができる。

【0074】

従来、ゲート電極として機能するポリシリコン層の上にシリサイド層を形成する場合、次のようにして行われていた。図12(a)に示すように、ゲート電極として機能するポリシリコン層230を含むMISトランジスタを形成した後、金属層242を形成する。次に、熱処理して金属層242とポリシリコン層230とをシリサイド化する。次に、未反応の金属層242を除去することにより、図12(b)に示すようにポリシリコン層230の上にシリサイド層240が形成される。しかし、上記の方法によりポリシリコン層の上にシリサイド層を形成

すると、シリサイド層は露出することになり、この後の工程でSACを適用することが困難であった。

【0075】

しかし、この変形例によれば、ポリシリコン層をシリサイド化してシリサイド層を形成することができると同時に、シリサイド層の上は第2の絶縁層によって覆われるため、SACを適用することができるという効果を奏することができる。

【0076】

(2) 上記の実施の形態においては、ゲート電極は、2層の導電層から構成されている。しかし、ゲート電極は、3層以上の導電層から構成されていてもよい。

【0077】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】

実施の形態に係る半導体装置を模式的に示す断面図である。

【図2】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図3】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図4】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図5】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図6】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図7】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 8】

変形例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 9】

作用効果における比較例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 0】

作用効果における比較例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 1】

作用効果における比較例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 2】

変形例における比較例を模式的に示した断面図である。

【図 1 3】

従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 4】

従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【符号の説明】

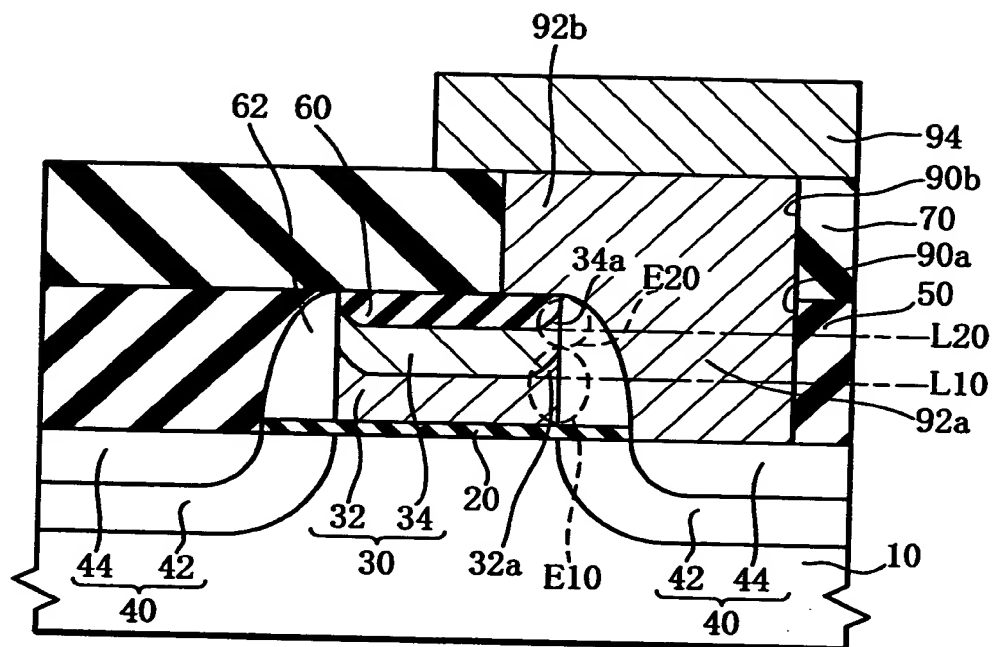
- 1 0 シリコン基板
- 2 0 ゲート絶縁層
- 3 0 ゲート電極
- 3 2 ポリシリコン層（第 1 の導電層）
- 3 2 a 突出部
- 3 4 金属層（第 2 の導電層）
- 3 4 a 突出部
- 4 0 ソース／ドレイン領域
- 4 2 低濃度不純物拡散層
- 4 4 高濃度不純物拡散層
- 5 0 第 1 の絶縁層

- 6 0 第 2 の絶縁層
- 6 2 サイドウォール絶縁層
- 7 0 第 3 の絶縁層
- 8 0 第 1 の凹部
- 8 2 第 2 の凹部
- 9 0 スルーホール
- 9 2 コンタクト層
- 9 4 配線層
- 1 0 0 半導体装置
- E 1 0 ポリシリコン層の側端部
- E 2 0 金属層の側端部
- L 1 0 ポリシリコン層の中央部のレベル
- L 2 0 金属層の中央部のレベル

【書類名】

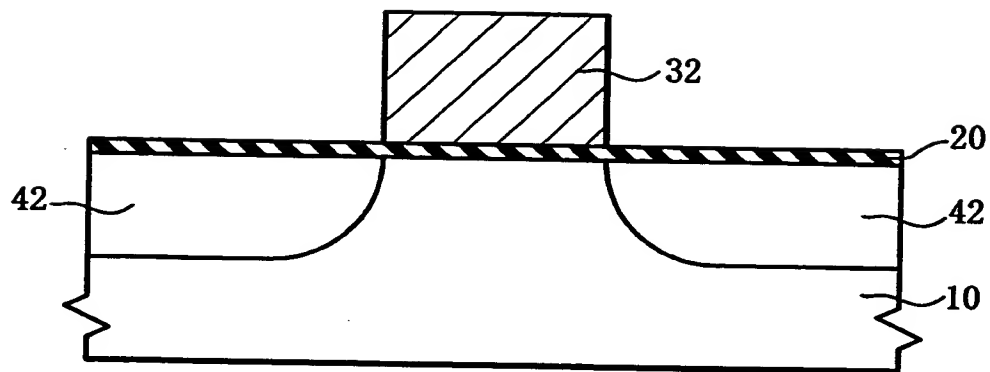
図面

【図 1】

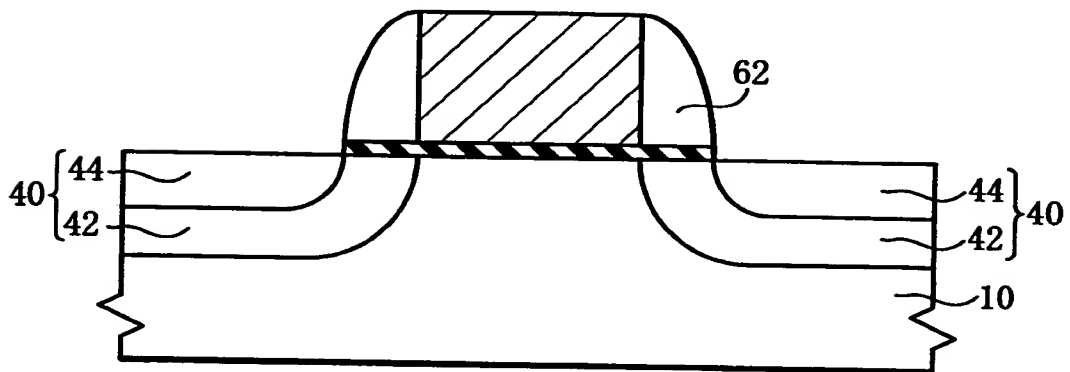


【図 2】

(a)

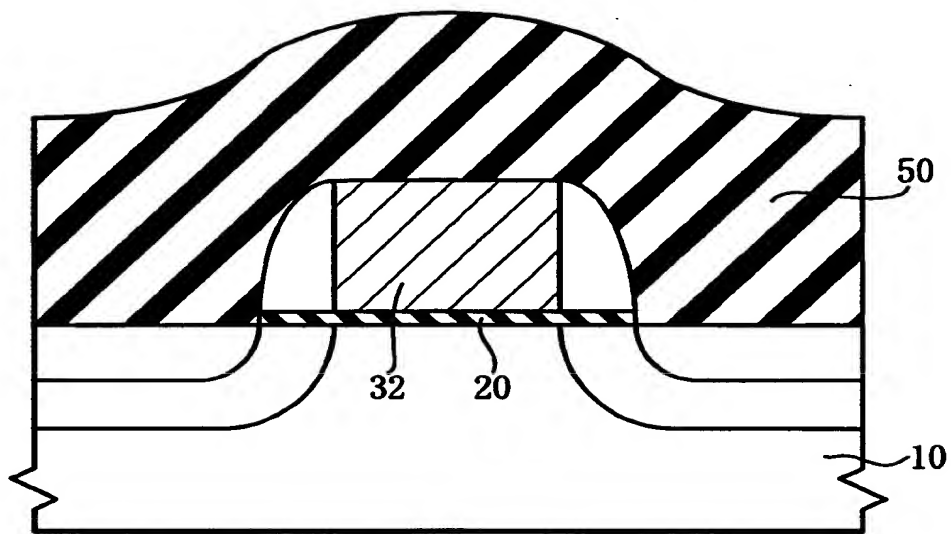


(b)

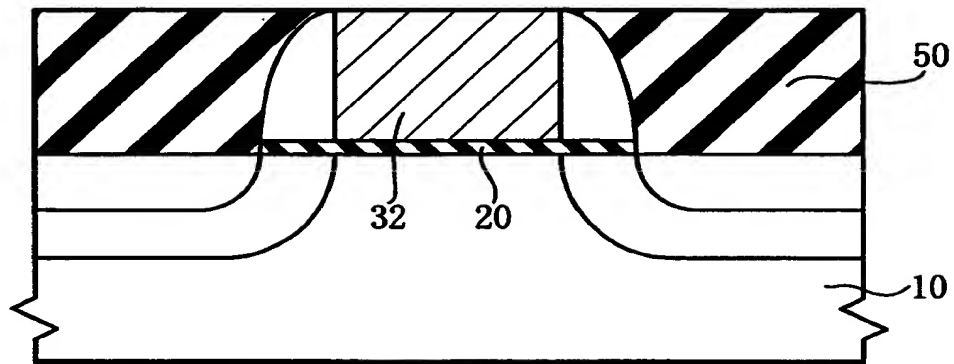


【図 3】

(a)

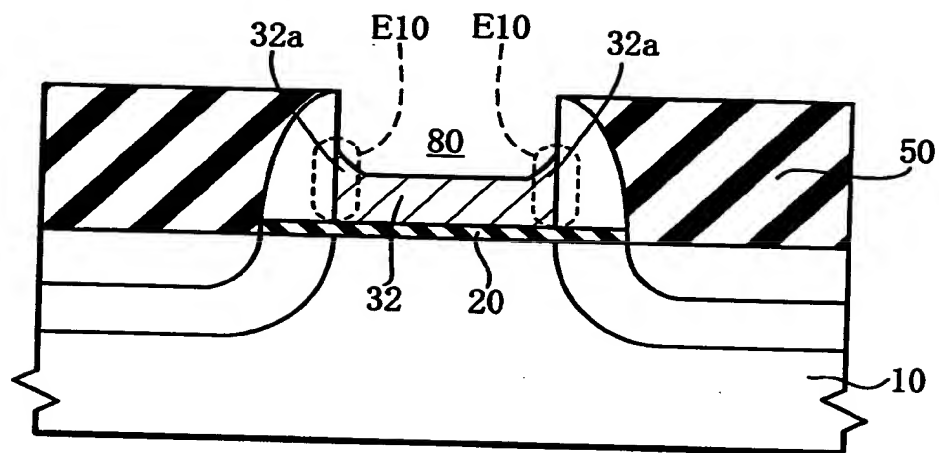


(b)

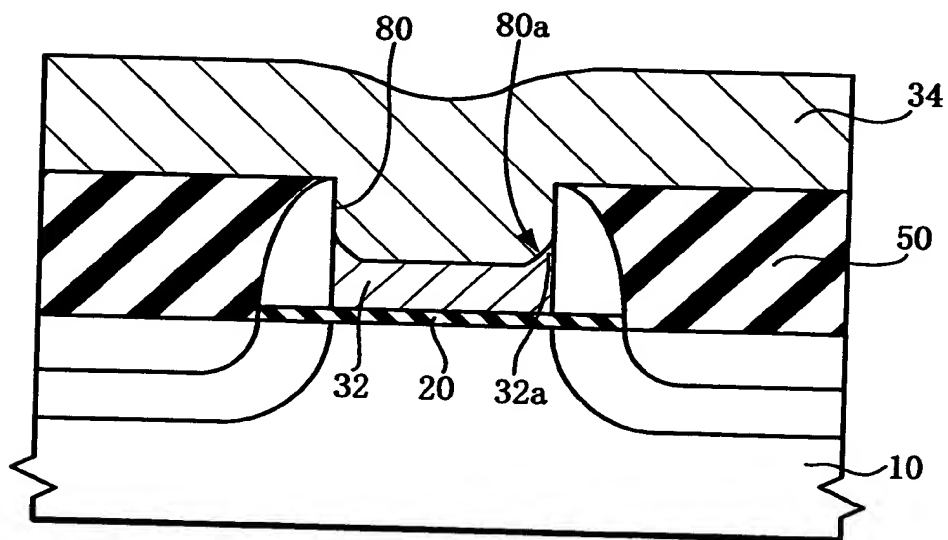


【図4】

(a)

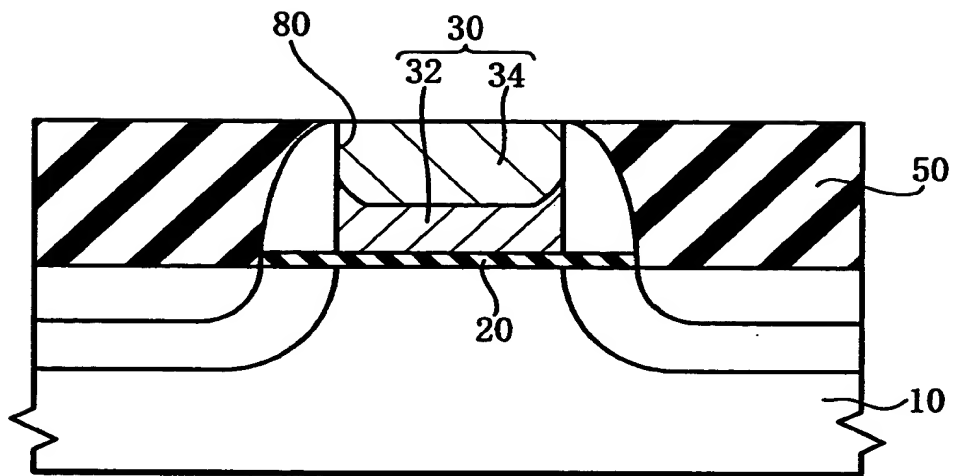


(b)

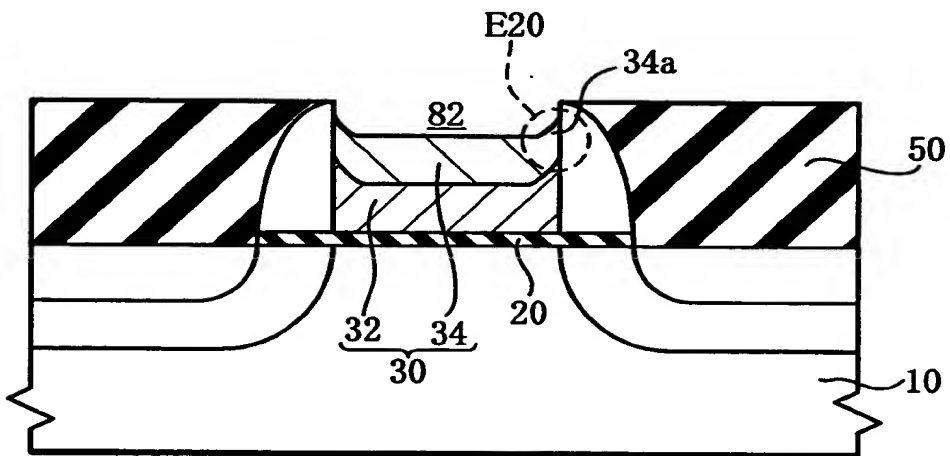


【図 5】

(a)

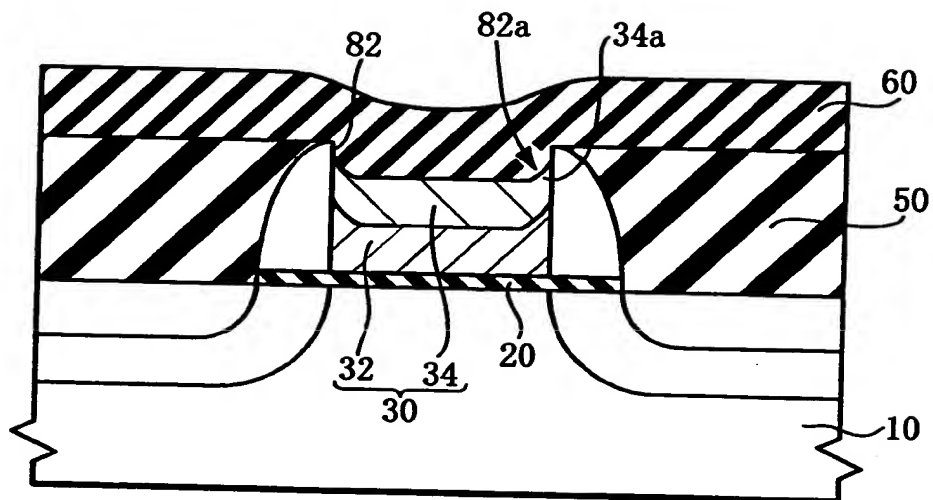


(b)

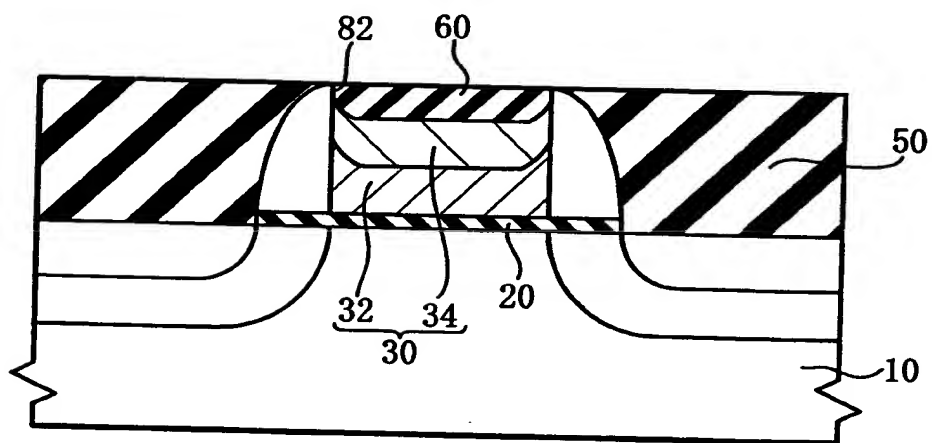


【図6】

(a)

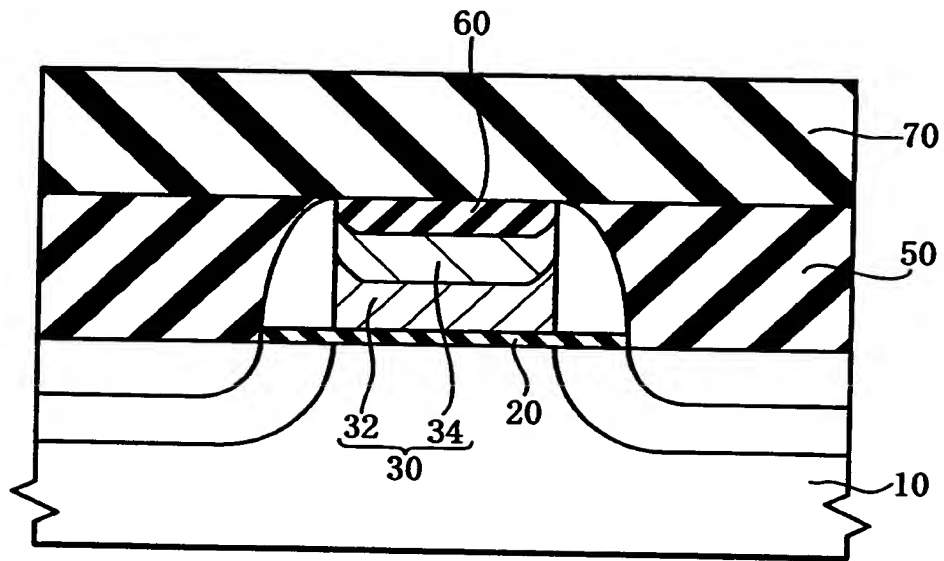


(b)

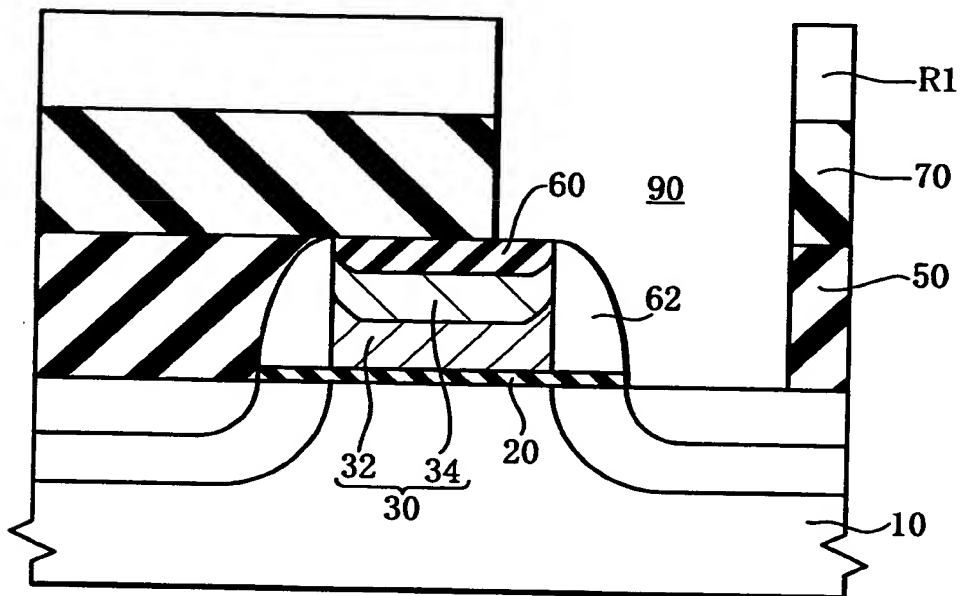


【図 7】

(a)

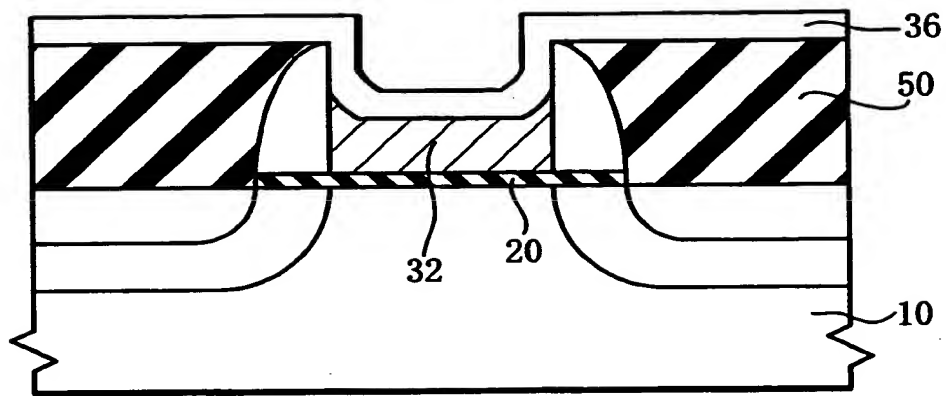


(b)

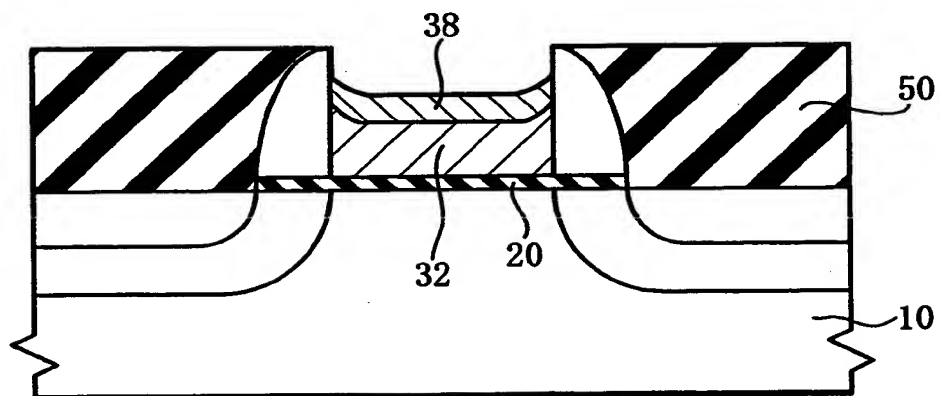


【図 8】

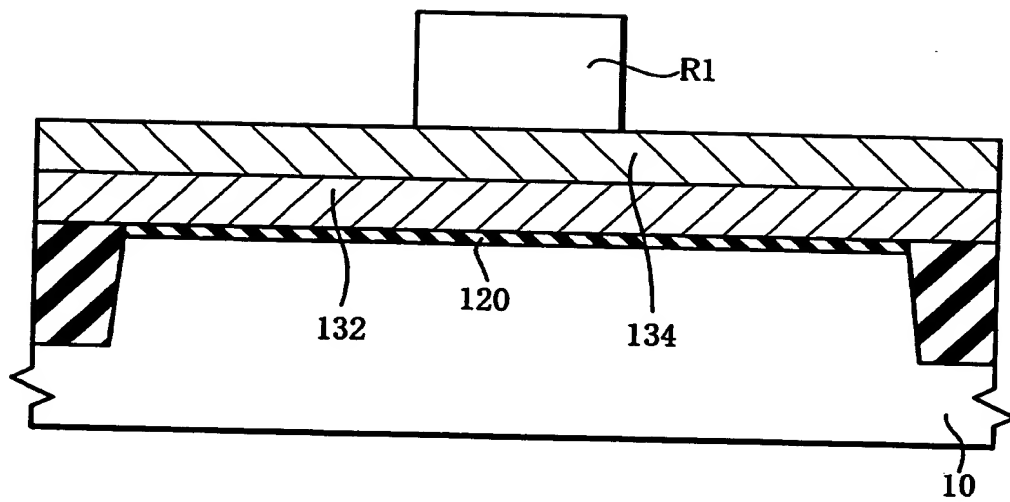
(a)



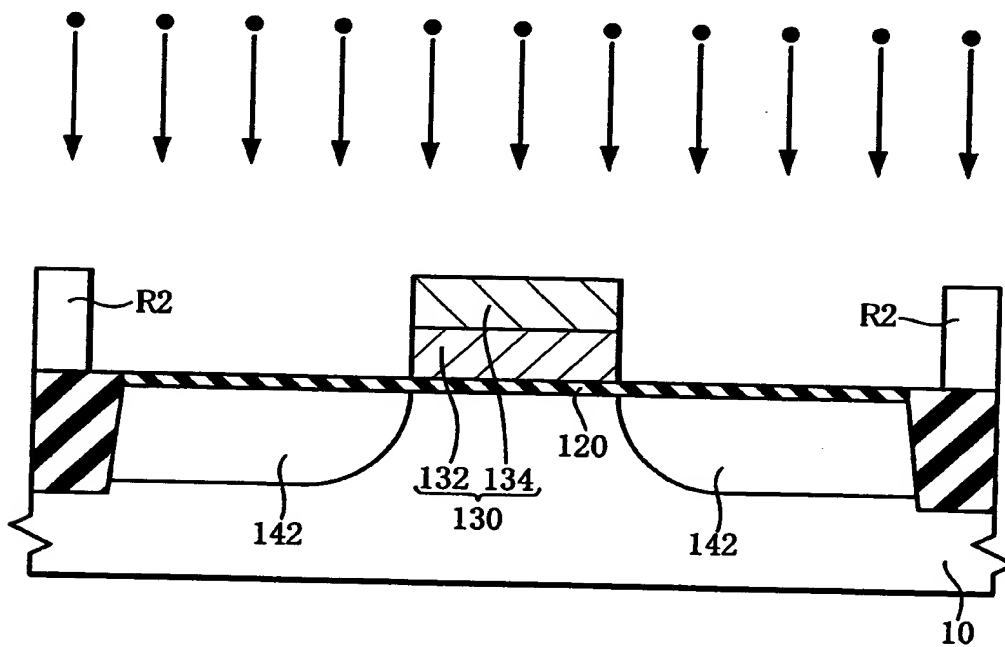
(b)



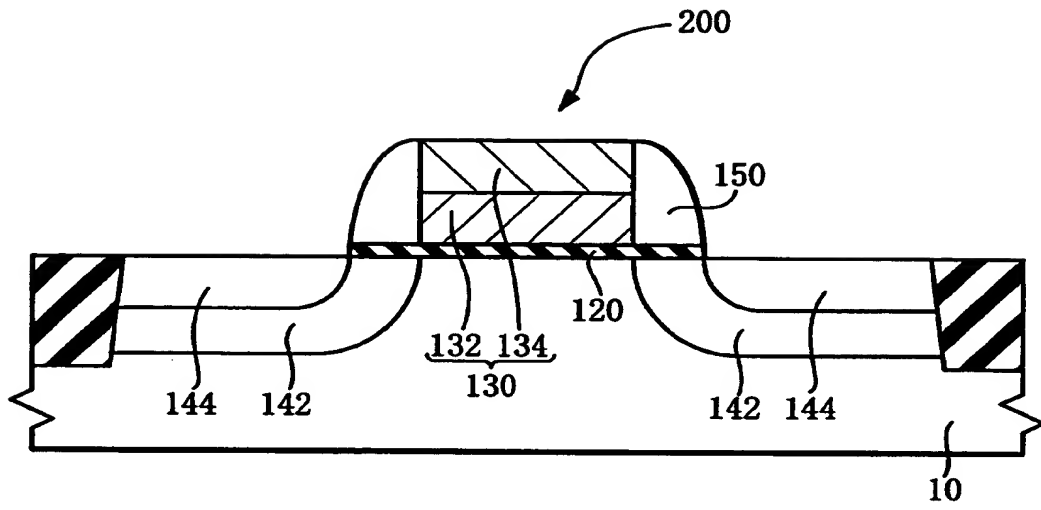
【図 9】



【図 1 0】

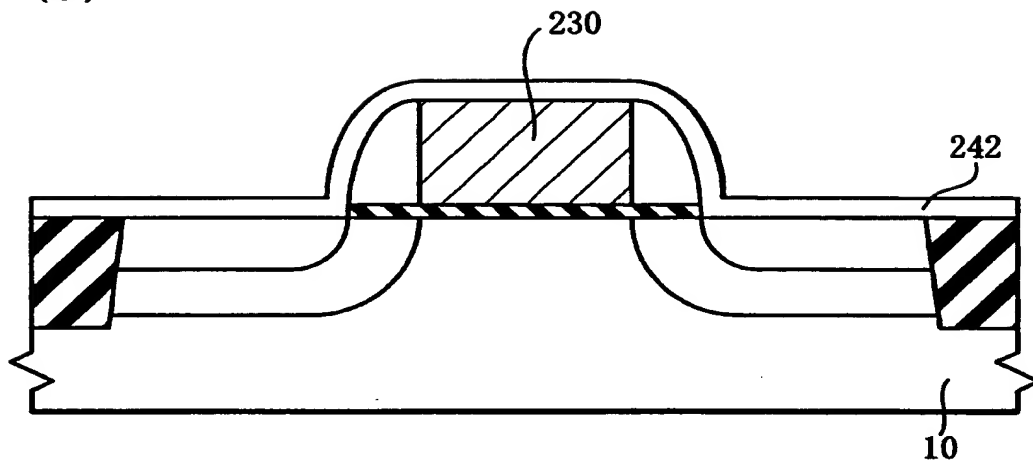


【図 1 1】

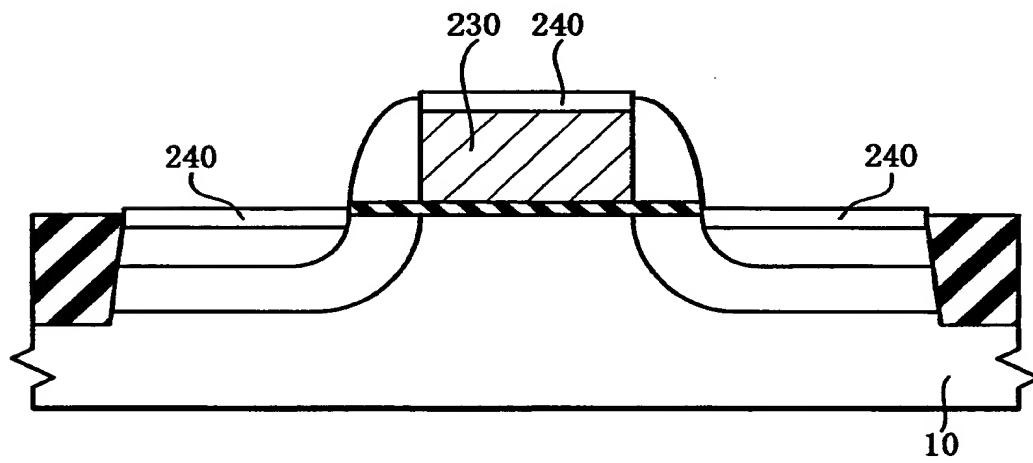


【図 12】

(a)

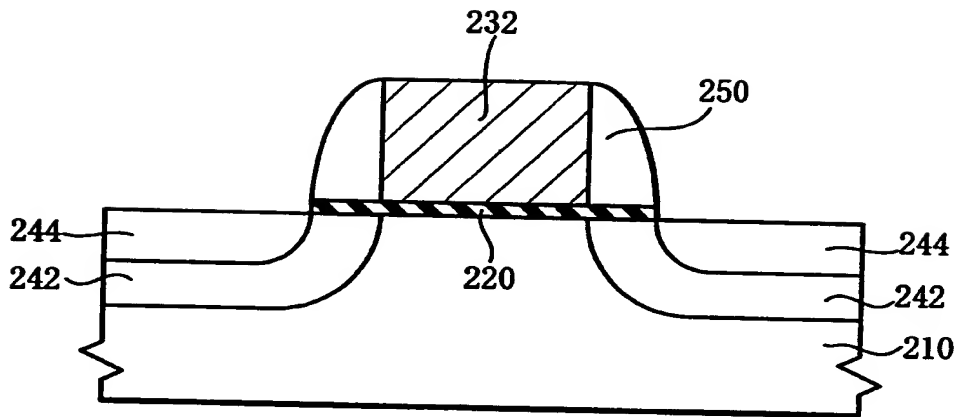


(b)

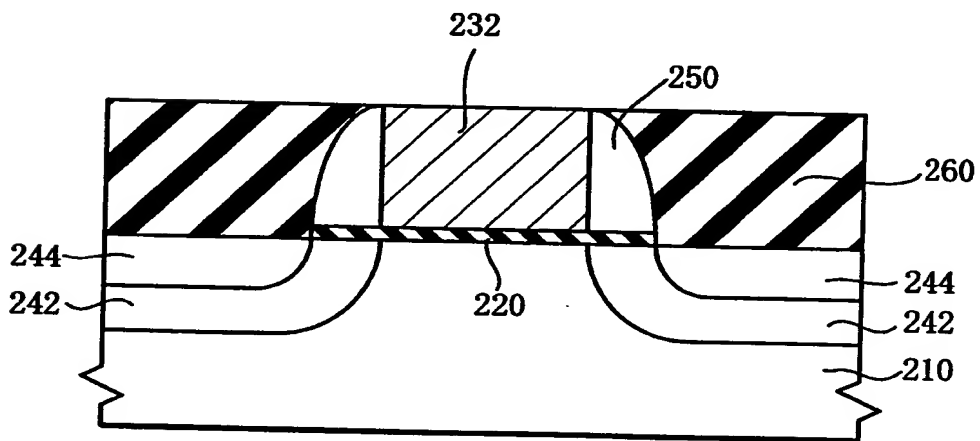


【図13】

(a)

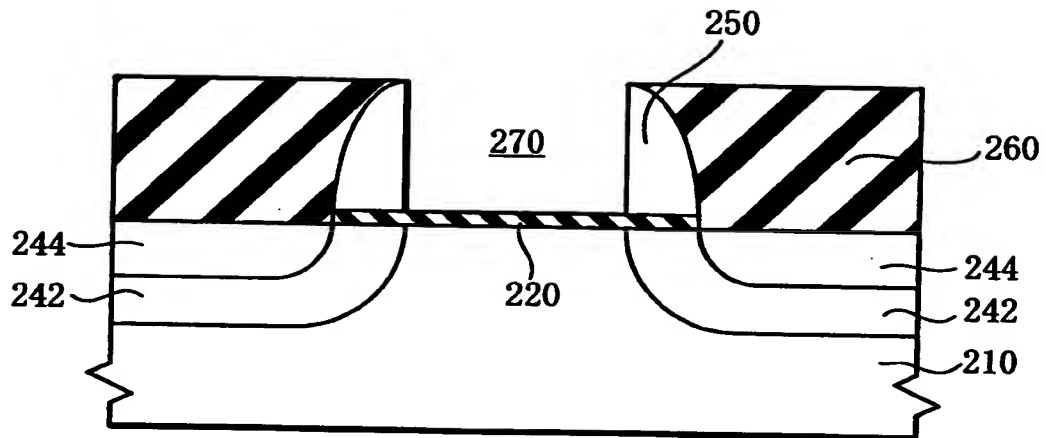


(b)

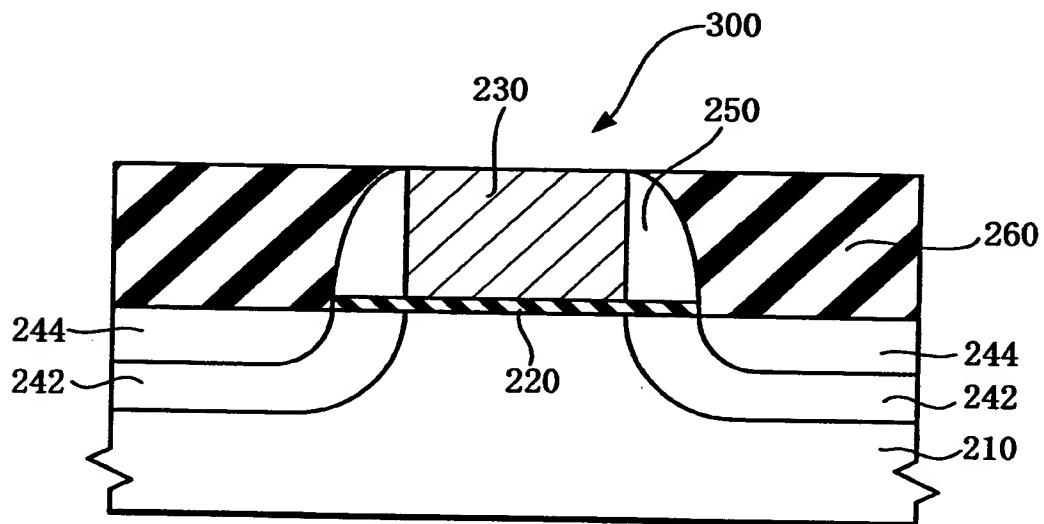


【図 1 4】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 電気的特性の劣化が抑えられた、半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、半導体層 1 0 の上に、ゲート絶縁層 2 0 およびシリコン層 3 2 を形成する工程、シリコン層 3 2 の側方において、サイドウォール絶縁層 6 2 を形成する工程、平坦化された第 1 の絶縁層 5 0 を形成する工程、ゲート絶縁層 2 0 が露出しないようにシリコン層 3 2 を除去して、凹部 8 0 を形成する工程、凹部 8 0 に金属層 3 4 を部分的に充填する工程、凹部 8 2 に第 2 の絶縁層 6 0 を形成する工程、第 1 の絶縁層 5 0 をエッチングして、スルーホール 9 0 a を形成する工程、スルーホール 9 0 a 内に、コンタクト層 9 2 a を形成する工程、を含む。第 2 の絶縁層 6 0 およびサイドウォール絶縁層 6 2 は、第 1 の絶縁層 5 0 と異なる材質からなる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社